

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年12月12日

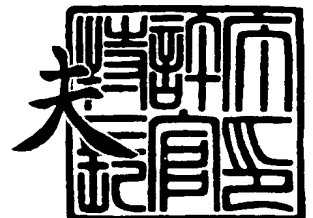
出願番号  
Application Number: 特願2003-415319  
[ST. 10/C]: [J.P. 2003-415319]

出願人  
Applicant(s): 株式会社東芝

2004年 2月24日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2004-3012943

【書類名】 特許願  
【整理番号】 14547601  
【提出日】 平成15年12月12日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 27/08  
【発明者】  
    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業  
    所内  
    【氏名】 伊 藤 仁  
【特許出願人】  
    【識別番号】 000003078  
    【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号  
    【氏名又は名称】 株式会社 東 芝  
【代理人】  
    【識別番号】 100075812  
    【弁理士】  
    【氏名又は名称】 吉 武 賢 次  
【選任した代理人】  
    【識別番号】 100088889  
    【弁理士】  
    【氏名又は名称】 橘 谷 英 俊  
【選任した代理人】  
    【識別番号】 100082991  
    【弁理士】  
    【氏名又は名称】 佐 藤 泰 和  
【選任した代理人】  
    【識別番号】 100096921  
    【弁理士】  
    【氏名又は名称】 吉 元 弘  
【選任した代理人】  
    【識別番号】 100103263  
    【弁理士】  
    【氏名又は名称】 川 崎 康  
【選任した代理人】  
    【識別番号】 100107582  
    【弁理士】  
    【氏名又は名称】 関 根 毅  
【手数料の表示】  
    【予納台帳番号】 087654  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

半導体基板と、  
前記半導体基板の表面側に形成されたソース領域と、  
前記半導体基板の表面側に、前記ソース領域と離れて形成されたドレイン領域と、  
前記ソース領域と前記ドレイン領域との間における前記半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極と、  
他の素子から電氣的に絶縁するために前記半導体基板の表面側に形成された素子分離絶縁部であって、その表面の高さが、前記半導体基板の表面と同じか低い素子分離絶縁部と、  
前記素子分離絶縁部の表面から突出するように、前記半導体基板から所定距離隔てて、前記素子分離絶縁部と異なる材料で形成された、ストッパ部と、  
前記ソース領域及び前記ドレイン領域上に、前記半導体基板表面よりせり上がって形成されたエレベータッドソース・ドレイン部と、  
を備えることを特徴とする半導体装置。

**【請求項 2】**

前記素子分離絶縁部は、 $\text{SiO}_2$  を主成分とする材料で形成されている、ことを特徴とする請求項 1 に記載の半導体装置。

**【請求項 3】**

前記ストッパ部は、 $\text{SiN}$  を主成分とする材料で形成されている、ことを特徴とする請求項 2 に記載の半導体装置。

**【請求項 4】**

前記半導体基板と前記ストッパ部との間の前記素子分離絶縁部の上部に形成された前記エレベータッドソース・ドレイン部と前記半導体基板の側壁とのなす角を  $\theta$  とし、前記半導体基板の前記側壁と前記ストッパ部との間の距離を  $A$  とし、前記ストッパ部が前記素子分離絶縁部の表面から突出している高さを  $B$  とした場合、 $B > A / \tan \theta$  の条件を満たすことを特徴とする請求項 3 に記載の半導体装置。

**【請求項 5】**

前記エレベータッドソース・ドレイン部は、シリコンをエピタキシャル成長させることにより形成される、ことを特徴とする請求項 1 に記載の半導体装置。

**【請求項 6】**

半導体基板の表面側に、前記半導体基板の表面と同じか低い高さで、素子分離絶縁部を形成する工程と、

前記素子分離絶縁部の表面から突出するように、前記半導体基板から所定距離隔てて、前記素子分離絶縁部と異なる材料で、ストッパ部を形成する工程と、

前記半導体基板のソース領域及びドレイン領域上に、前記半導体基板表面よりせり上がったエレベータッドソース・ドレイン部を形成する工程と、  
を備えることを特徴とする半導体装置の製造方法。

**【請求項 7】**

前記素子分離絶縁部及び前記ストッパ部を形成する工程は、  
素子分離領域を形成する領域の前記半導体基板に溝を形成する工程と、  
前記溝の内側に第 1 絶縁膜を形成する工程と、  
前記第 1 絶縁膜の内側に第 2 絶縁膜を形成する工程と、  
前記第 2 絶縁膜をエッチングすることにより、前記溝の側壁部分に、前記ストッパ部を形成する工程と、  
前記溝を埋め込む第 3 絶縁膜を形成する工程と、  
前記第 1 絶縁膜と前記第 3 絶縁膜をエッチングして、前記ストッパ部を前記第 1 絶縁膜から突出させる、工程と、  
を備えることを特徴とする請求項 6 に記載の半導体装置の製造方法。

**【請求項 8】**

前記エレベーターソース・ドレイン部を形成する工程は、シリコンをエピタキシャル成長させる工程を備えていることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置及びその製造方法

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、特に、SoC (System on Chip) 等で用いられる、ソース領域及びドレイン領域をシリコン基板表面よりせり上げた構造、すなわちエレベータッドソース・ドレイン或いはレイズドソース・ドレインを有する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

半導体素子の微細化及び高速化に伴い、ソース及びドレイン拡散層上にCoシリサイドやNiシリサイドといった高融点金属シリサイド膜を自己整合的に形成するサリサイド (Self Aligned Silicide) 技術が、特にSoC向け等の素子構造として広く用いられている。ソース及びドレイン拡散層の深さは半導体素子の微細化及び高速化に伴いスケールアップされており、ソース及びドレイン拡散層の深さを浅く形成する必要があるが生じている。サリサイド技術は高融点金属膜がシリコンの半導体基板を消費しながらシリサイド化反応することを利用した技術で、半導体基板におけるシリコンの消費膜厚ばらつきや半導体基板への高融点金属原子の拡散などにより接合を浅くすることにより接合リークを起こす問題がある。このような問題により、接合深さを浅くするスケールアップは既存のサリサイド技術では困難になってきている。

【0003】

この問題を解決するために、半導体基板表面のソース領域及びドレイン領域にエピタキシャルシリコンを形成することが提案されている。すなわち、ソース領域及びドレイン領域上にエピタキシャルシリコン膜を形成し、続いて半導体基板表面に不純物イオンを注入し、次に高融点金属膜を形成しシリサイド化することにより、サリサイドの形成と半導体基板表面から浅い領域の接合の形成の両立がなされている。

【0004】

このようにソース領域及びドレイン領域を元々の半導体基板表面よりせり上がった構造をとる技術を、エレベータッドソースドレイン技術或いはレイズドソースドレイン技術と称している。

【0005】

図1に従来のエレベータッドソースドレイン技術を用いたMOSトランジスタを示す。素子分離絶縁膜10を有したシリコンの半導体基板12上にゲート酸化膜13を介してSiN/ポリシリコン積層構造からなるゲート電極14が形成されている。ゲート電極14の側壁にはゲート側壁SiO<sub>2</sub> 16及びゲート側壁SiN 18が形成されている。ソース領域及びドレイン領域にはイオン注入及びアニールにより拡散層19が形成されている。

【0006】

次に、図2に示すように、ソース拡散層19上及びドレイン拡散層19上にエピタキシャル成長法により単結晶シリコンからなるエピタキシャルシリコン膜20を形成する。この際、ゲート側壁下端部でファセットが出来る場合があり、その対策として例えば特開2000-49348号公報 (特許文献1) にて公開されている方法によりファセットを生じさせないことができる。

【0007】

ところが、図2に示すように、このような方法をとっても、エピタキシャルシリコン膜20における素子分離絶縁膜10との界面でファセット22ができ、ショートや接合リークなどの問題を生じる場合がある。この問題に対しては、例えば特開2000-260952号公報 (特許文献2) にて公開されている方法によるストッパー膜の設置によって解決する方法が提案されている。しかし、一般的に素子分離絶縁膜10の表面の高さは、半導体基板12の表面に対して上下するため、図2に示すように、例えば素子分離絶縁膜10が半導体基板12表面より高い場合は、この図2に示すようなファセット22が形成さ

れる問題を有する。一方、素子分離絶縁膜 10 が半導体基板 12 表面より低い場合は、図 3 に示すようなファセット 22 が形成される問題を有する。さらに、ストッパー膜が SiO<sub>2</sub> の場合、同様のファセットが形成される問題を有している。

【0008】

また、特開 2002-368227 号公報（特許文献 3）や、米国特許第 6326281 号公報（特許文献 4）では、素子分離溝に SiN を直接形成する方法が提案されているが、この方法では SiN 膜への電荷注入や SiN 膜の有する強い応力により素子分離耐圧が劣化する問題を有する。

【特許文献 1】特開 2000-49348 号公報

【特許文献 2】特開 2000-260952 号公報

【特許文献 3】特開 2002-368227 号公報

【特許文献 4】米国特許第 6326281 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

上述したところから分かるように、これまでの技術では、ソース領域及びドレイン領域上に形成されたエレベータッドソース・ドレイン部であるエピタキシャルシリコン膜 20 に、ファセットが生じてしまうという問題があった。

【0010】

そこで本発明は、前記課題に鑑みてなされたものであり、ソース領域及びドレイン領域上に形成されたエレベータッドソース・ドレイン部のファセットの成長を抑制した半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記課題を解決するため、本発明に係る半導体装置は、  
半導体基板と、  
前記半導体基板の表面側に形成されたソース領域と、  
前記半導体基板の表面側に、前記ソース領域と離れて形成されたドレイン領域と、  
前記ソース領域と前記ドレイン領域との間における前記半導体基板上に、ゲート絶縁膜を介して形成されたゲート電極と、  
他の素子から電氣的に絶縁するために前記半導体基板の表面側に形成された素子分離絶縁部であって、その表面の高さが、前記半導体基板の表面と同じか低い素子分離絶縁部と

、  
前記素子分離絶縁部の表面から突出するように、前記半導体基板から所定距離隔てて、前記素子分離絶縁部と異なる材料で形成された、ストッパ部と、  
前記ソース領域及び前記ドレイン領域上に、前記半導体基板表面よりせり上がって形成されたエレベータッドソース・ドレイン部と、  
を備えることを特徴とする。

【0012】

本発明に係る半導体装置の製造方法は、  
半導体基板の表面側に、前記半導体基板の表面と同じか低い高さで、素子分離絶縁部を形成する工程と、  
前記素子分離絶縁部の表面から突出するように、前記半導体基板から所定距離隔てて、前記素子分離絶縁部と異なる材料で、ストッパ部を形成する工程と、  
前記半導体基板のソース領域及びドレイン領域上に、前記半導体基板表面よりせり上がったエレベータッドソース・ドレイン部を形成する工程と、  
を備えることを特徴とする。

【発明の効果】

【0013】

本発明によれば、ソース領域及びドレイン領域上に形成されたエレベータッドソース・

ドレイン部のファセットの成長を抑制した半導体装置及びその製造方法を提供することができる。

【発明を実施するための最良の形態】

【0014】

〔第1実施形態〕

第1実施形態は、シリコン選択エピタキシャル成長を用いてソース領域及びドレイン領域上にエピタキシャルシリコン膜を形成する半導体装置において、ソース領域及びドレイン領域に接する素子分離絶縁膜の表面高さを、ソース領域及びドレイン領域を形成する半導体基板の表面高さと同じか低くし、素子分離絶縁膜上の一部に、素子分離絶縁膜とは異なる材料で構成されるストッパ部（段差構造）を設けるようにしたものである。特に、本実施形態においては、素子分離絶縁膜は $\text{SiO}_2$ を主成分とする材料で形成されており、素子分離絶縁膜と異なる材料は $\text{SiN}$ を主成分とする材料で形成されている。より詳しくを、以下に説明する。

【0015】

図4に示すように、本実施形態に係る半導体装置においては、半導体基板100の表面側に素子分離絶縁膜102が形成されている。本実施形態においては、この半導体基板100は、シリコンから形成されており、素子分離絶縁膜102は $\text{SiO}_2$ から形成されている。素子分離絶縁膜102の表面の高さは、半導体基板100の表面の高さと、同じか低い位置にある。この素子分離絶縁膜102により、このMOSトランジスタは、他の素子から電氣的に絶縁される。

【0016】

また、半導体基板100の表面側には、ソース／ドレイン領域101が互いに離れて形成されている。このソース／ドレイン領域101は、半導体基板100に不純物イオンを注入し、アニールをすることにより形成される。

【0017】

ソース領域101とドレイン領域101との間における半導体基板100上には、ゲート絶縁膜104を介して、 $\text{SiN}$ ／ポリシリコン積層構造からなるゲート電極106が形成されている。半導体基板100、素子分離絶縁膜102、及び、ゲート電極106の表面には、ゲート側壁 $\text{SiO}_2$ 及びゲート側壁 $\text{SiN}$ となる酸化シリコン膜108と窒化シリコン膜110とが、例えば、合わせて20nmの膜厚で形成されている。

【0018】

次に、図5に示すように、フォトリソグラフィ技術を用い、素子分離絶縁膜102上の一部分にレジストパターン112を形成する。本実施形態においては、レジストパターン112は、半導体基板100側壁とレジストパターン112との間の距離がDになるように形成する。

【0019】

次に、例えば $\text{HBr}$ 、 $\text{Cl}_2$ ガスなどの混合ガスプラズマを用いたRIEにより、全面的にRIEを行う。続いて、レジストパターン112を灰化剥離し、ウェット洗浄を行う。これにより、図6に示す構造の半導体装置が得られる。すなわち、ゲート電極106の側壁部分にある酸化シリコン膜108と窒化シリコン膜110とにより、ゲート側壁114が形成され、素子分離絶縁膜102上にある酸化シリコン膜108と窒化シリコン膜110とにより、ストッパ部116が形成される。このストッパ部116は、素子分離絶縁膜102表面上に位置し、素子分離絶縁膜102表面から突出する。この図6の後、半導体基板100のソース領域101及びドレイン領域101に、気相選択エピタキシャル成長により、エピタキシャルシリコン膜を形成する。

【0020】

このエピタキシャルシリコン膜を形成した後の半導体装置における段差部分（X部分）を拡大した図が、図7である。この図7に示すように、半導体基板100の表面、すなわち暴露した半導体基板100側壁領域を含めたソース領域101及びドレイン領域101上に、気相選択エピタキシャル成長により、エピタキシャルシリコン膜118が例えば5

0 nmの膜厚で成膜される。気相選択エピタキシャル成長は、例えば $\text{SiH}_2\text{Cl}_2$ 、 $\text{HCl}$ 、 $\text{H}_2$ 等の混合ガスを、例えば100~1000 Pa程度の減圧CVD法で実施する。この際、図7に示すようなファセットが生じる。

#### 【0021】

例えばエレベータードソースドレイン形成時にエピタキシャルシリコン膜118と半導体基板100側壁とのなす角が $\theta$ となるファセットが生じるとすると、半導体基板100側壁と素子分離絶縁膜102側壁との距離がAなので、ストッパ部116の高さBは、 $B > A / \tan \theta$ を満たす必要がある。この条件を満たせば、エピタキシャルシリコン膜118が成長する際には、エピタキシャルシリコン膜118のファセット面がストッパ部116に接した後、エピタキシャルシリコン膜118は $\langle 100 \rangle$ 方向（半導体基板100に対して垂直方向）に成長し、ファセットが形成することにより生じるショートなどの不具合を回避することが出来る。例えば、半導体基板100側壁面を $\{110\}$ 面としファセット面を例えば $\{311\}$ 面とすると、 $\theta$ は31.4度となり、Aを10 nmとするとBは約16.4 nm以上にすると、ストッパ部116はファセット成長抑制効果を持つことになる。

#### 【0022】

また、半導体基板100とストッパ部116との間が、距離Aだけ離れているので、SiNから構成されたストッパ部116の帯電や、応力による素子分離耐圧の劣化を回避することができる。

#### 【0023】

##### 〔第2実施形態〕

図8乃至図15を用いて、第2実施形態について説明する。図8に示すように、半導体基板200上に、ハードマスクSiN膜202を、例えば100 nmの膜厚で形成する。続いて、リソグラフィ及びRIEにより、ハードマスクSiN膜202及び半導体基板200をエッチングし、STI (Shallow Trench Isolation) 領域に溝204を形成する。

#### 【0024】

次に、図9に示すように、溝204の側壁及びハードマスクSiN膜202を、例えば950℃のISSG (In Situ Steam Generation) 酸化により酸化して、 $\text{SiO}_2$ 膜である酸化シリコン膜206を、例えば10 nmの膜厚で形成する。続いて、減圧CVD法により、溝204の内側にSiN膜である窒化シリコン膜208を、例えば15 nmの膜厚で形成する。

#### 【0025】

次に、図11に示すように、例えば $\text{C}_5\text{F}_8$ 、 $\text{O}_2$ 等の混合ガスプラズマを用いたRIEにより、窒化シリコン膜208を酸化膜に対して選択的にエッチングし、ハードマスクSiN膜202の表面より、例えば80 nm落とし込む。これにより溝204の側壁に残存した窒化シリコン膜208により、ストッパ部209を形成する。

#### 【0026】

この際、ハードマスクSiN膜202の表面にはISSG酸化にて約10 nmの膜厚の酸化シリコン膜206が形成されているため、ハードマスクSiN膜202がダメージを受けないようにすることができる。また、溝204底部の窒化シリコン膜208は除去されるが、窒化シリコン膜208の底に形成された酸化シリコン膜206により、半導体基板200がダメージを受けないようにすることができる。

#### 【0027】

次に、図11に示すように、SOD (Spin on Dielectric) 技術を用いて、STI用の溝204の埋め込みを行い、例えば400℃アニール及び850℃アニールの2段階アニールにて埋め込み膜210を形成する。

#### 【0028】

次に、図12に示すように、CMP技術を用いて、埋め込み膜210とハードマスクSiN膜202上に形成された酸化シリコン膜206とを研磨し、平坦化する。



## 【0029】

次に、図13に示すように、例えば熱燐酸溶液にてハードマスクSiN膜202を除去する。続いて、例えばフッ化アンモニウム水溶液を主成分とする溶液を用いて、埋め込み膜210と、酸化シリコン膜206を所望の高さに整え、図14に示すような半導体装置を得る。この図14から分かるように、本実施形態においても、酸化シリコン膜206の表面の高さが、ソース領域及びドレイン領域を形成する半導体装置200表面の高さと同じか低くなるように設定されている。また、ストッパ部209は、酸化シリコン膜206と埋め込み膜210との間に埋め込まれ、酸化シリコン膜206の表面から突出するようになる。

## 【0030】

この図14の後、半導体基板200のソース領域及びドレイン領域上に、気相選択エピタキシャル成長により、エピタキシャルシリコン膜を形成する。このエピタキシャルシリコン膜を形成した後の半導体装置における段差部分（Y部分）を拡大した図が、図15である。

## 【0031】

図15の例では、半導体基板200側壁領域を含めたソース領域及びドレイン領域上に、気相選択エピタキシャル成長により、エピタキシャルシリコン膜212が例えば50nmの膜厚で成膜される。気相選択エピタキシャル成長は、例えば $\text{SiH}_2\text{Cl}_2$ 、 $\text{HCl}$ 、 $\text{H}_2$ 等の混合ガスを、例えば100～1000Pa程度の減圧CVD法で実施する。この際、図15に示すようなファセットが生じる。

## 【0032】

例えばエレベータッドソースドレイン形成時にエピタキシャルシリコン膜212と半導体基板200側壁とのなす角が $\theta$ となるファセットが生じるとすると、半導体基板200側壁とストッパ部209との距離をAとすると、ストッパ部209の高さBは、 $B > A / \tan \theta$ を満たす必要がある。この条件を満たせば、エピタキシャルシリコン膜212が成長する際には、エピタキシャルシリコン膜212のファセット面がストッパ部209に接した後、エピタキシャルシリコン膜212は $\langle 100 \rangle$ 方向（半導体基板200に対して垂直方向）に成長し、ファセットが形成することにより生じるショートなどの不具合を回避することが出来る。

## 【0033】

このように、本実施形態によっても、上述した第1実施形態と同様に、ファセット成長抑制効果を持たすことが出来る。また、半導体基板200とストッパ部209との間が、距離Aだけ離れているので、SiNから構成されたストッパ部209の帯電や、応力による素子分離耐圧の劣化を回避することができる。さらに、半導体基板200側壁とストッパ部209との間の距離Aを、酸化シリコン膜206の膜厚で制御することができるので、精度良く距離Aを設定することができる。

## 【0034】

なお、本発明は上記実施形態に限定されず種々に変形可能である。例えば、上述した実施形態においては、ストッパ部116、209はSiNにより構成したが、SiNを主成分とする材料で構成すればよい。さらに換言すれば、エピタキシャルシリコン膜118、212のファセットが成長してきた場合に、ストッパ部116、209に接した後は、このエピタキシャルシリコン膜118、212が垂直方向に成長する材料であれば足りる。

## 【0035】

また、上述した第1実施形態の素子分離絶縁膜102は $\text{SiO}_2$ から構成されているが、 $\text{SiO}_2$ を主成分とする材料であればよい。この点は、第2実施形態の酸化シリコン膜206についても同様である。

## 【0036】

また、本発明におけるエピタキシャル成長には、不完全なエピタキシャル成長や部分エピタキシャル成長も含まれている。さらに、エピタキシャル成長させるエレベータッドソースドレイン部の材料は、シリコンに限定されるものではない。

## 【図面の簡単な説明】

【0037】

【図1】従来のMOSトランジスタを構成する半導体装置の製造工程を説明する断面図。

【図2】従来のMOSトランジスタを構成する半導体装置を説明する断面図（素子分離絶縁膜の表面が半導体基板の表面よりも高い場合）。

【図3】従来のMOSトランジスタを構成する半導体装置を説明する断面図（素子分離絶縁膜の表面が半導体基板の表面よりも低い場合）。

【図4】第1実施形態に係るMOSトランジスタを構成する半導体基板の製造工程を説明する断面図。

【図5】第1実施形態に係るMOSトランジスタを構成する半導体基板の製造工程を説明する断面図。

【図6】第1実施形態に係るMOSトランジスタを構成する半導体基板の製造工程を説明する断面図。

【図7】図6における半導体基板側壁とストッパ部との間の部分を拡大して示す図。

【図8】第2実施形態に係るMOSトランジスタを構成する半導体基板の製造工程を説明する断面図。

【図9】第2実施形態に係るMOSトランジスタを構成する半導体基板の製造工程を説明する断面図。

【図10】第2実施形態に係るMOSトランジスタを構成する半導体基板の製造工程を説明する断面図。

【図11】第2実施形態に係るMOSトランジスタを構成する半導体基板の製造工程を説明する断面図。

【図12】第2実施形態に係るMOSトランジスタを構成する半導体基板の製造工程を説明する断面図。

【図13】第2実施形態に係るMOSトランジスタを構成する半導体基板の製造工程を説明する断面図。

【図14】第2実施形態に係るMOSトランジスタを構成する半導体基板の製造工程を説明する断面図。

【図15】図14における半導体基板側壁とストッパ部との間の部分を拡大して示す図。

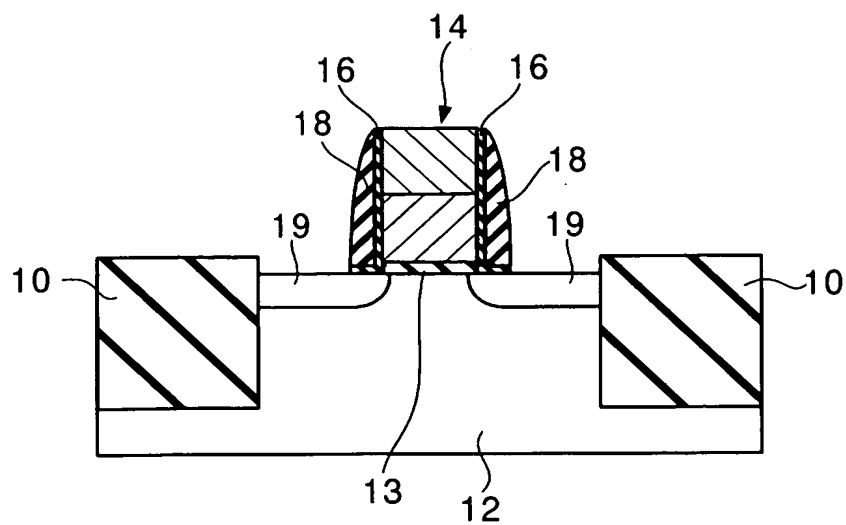
## 【符号の説明】

【0038】

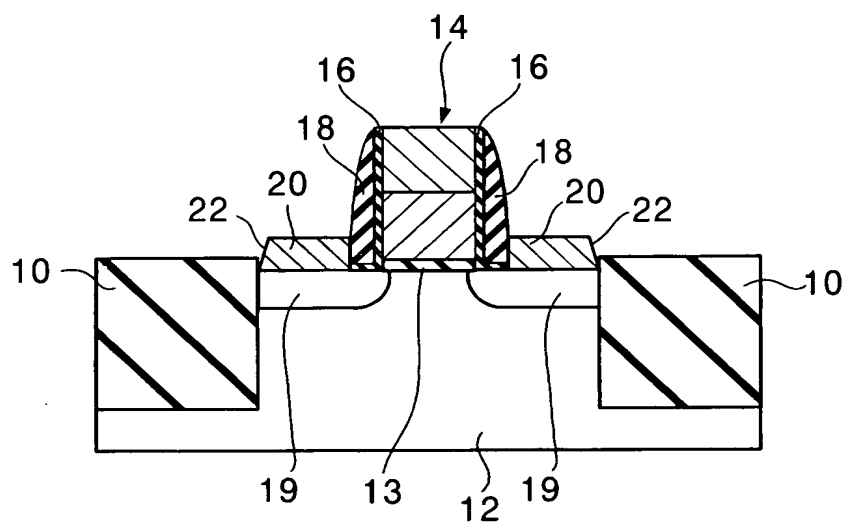
- 100 半導体基板
- 102 素子分離絶縁膜
- 104 ゲート絶縁膜
- 106 ゲート電極
- 108 酸化シリコン膜
- 110 窒化シリコン膜
- 112 レジストパターン
- 114 ゲート側壁
- 116 ストッパ部
- 118 エピタキシャルシリコン膜

【書類名】 図面

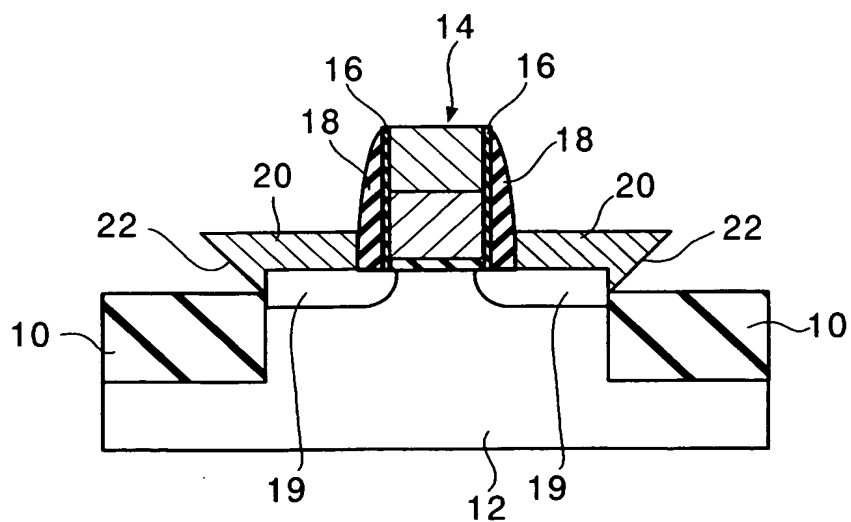
【図 1】



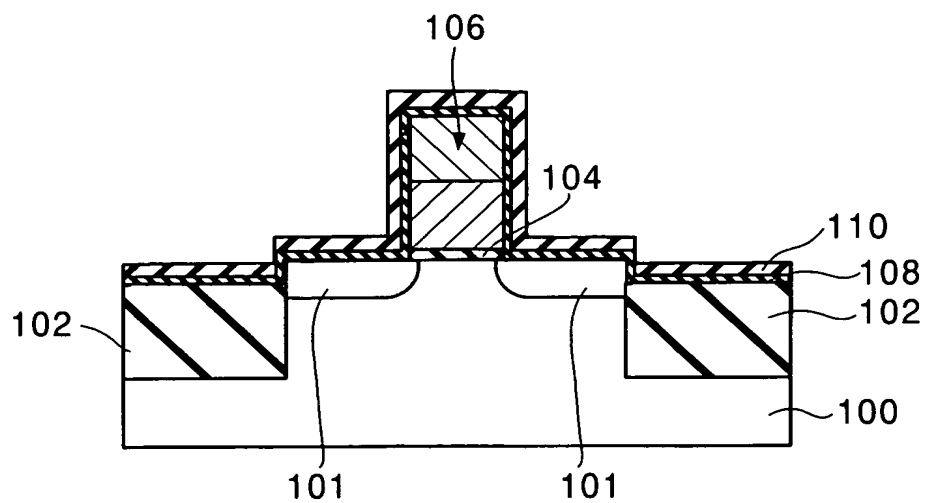
【図 2】



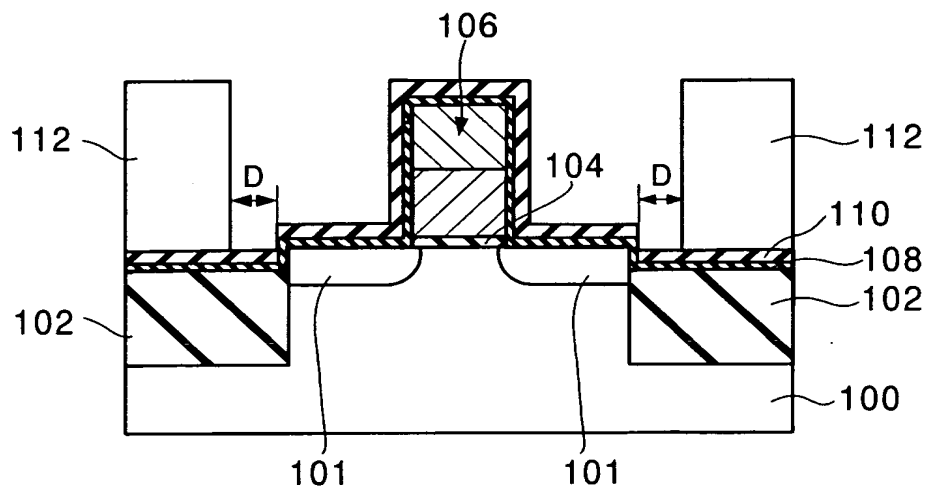
【図 3】



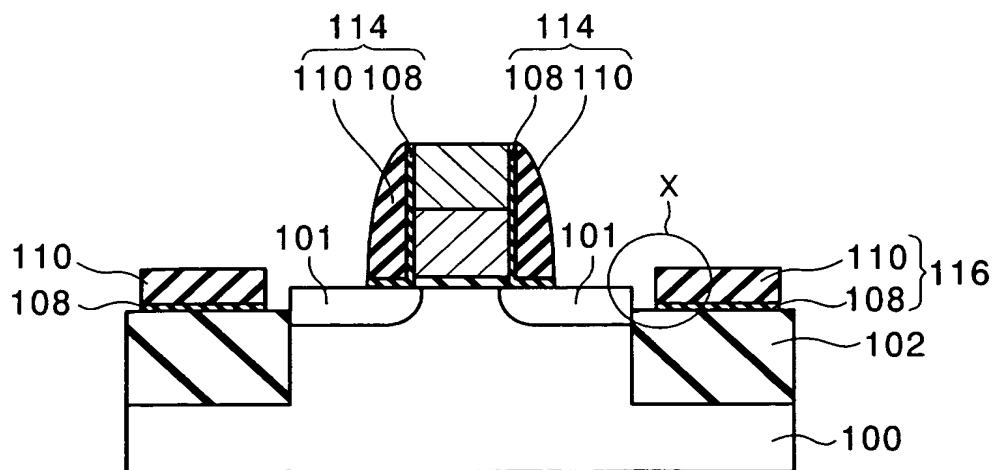
【圖 4】



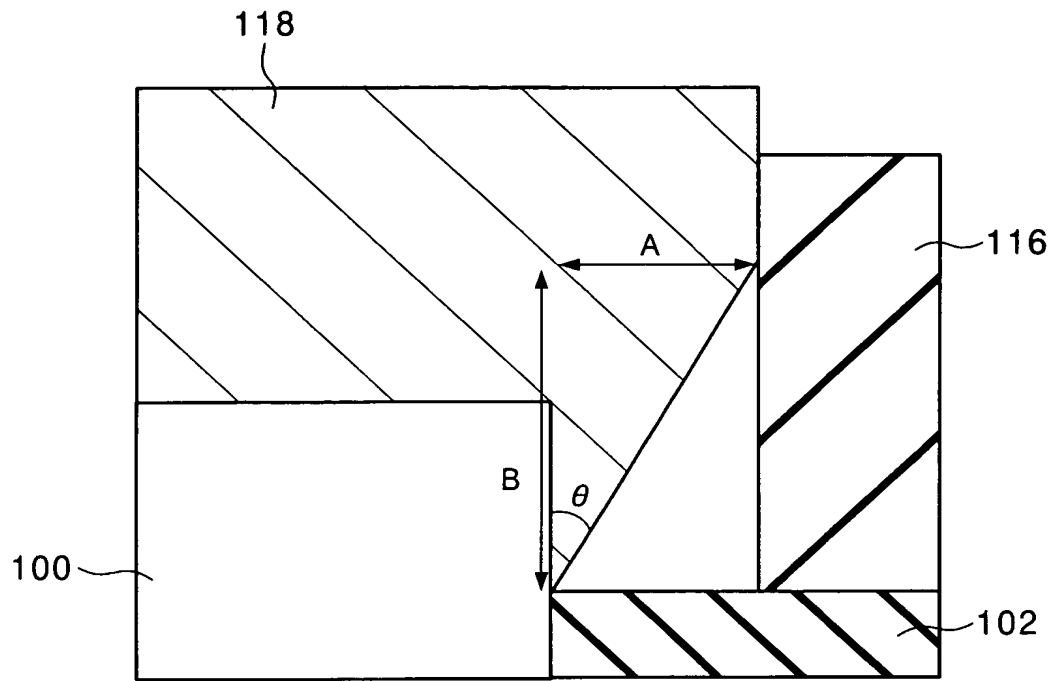
【図 5】



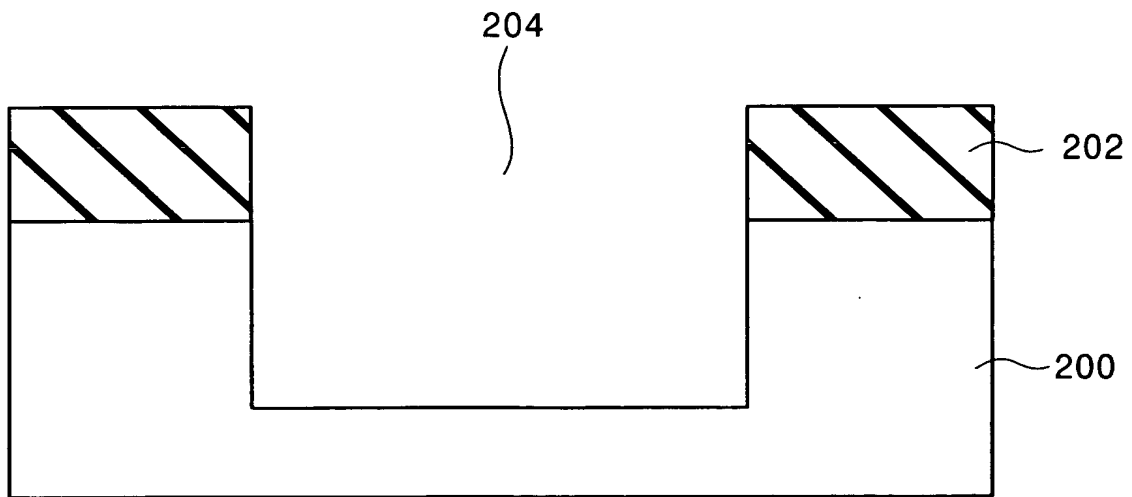
【図 6】



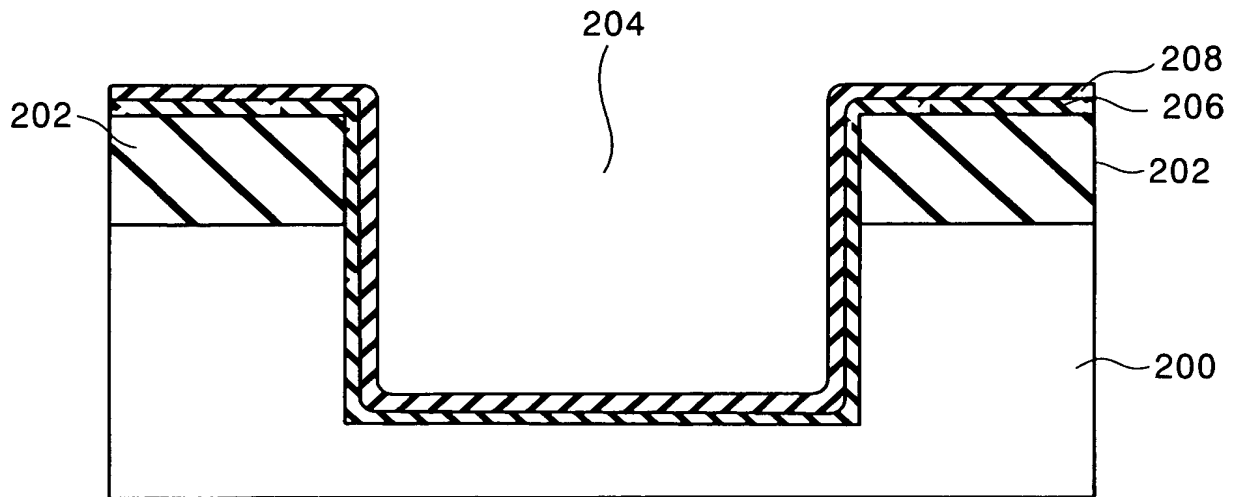
【図 7】



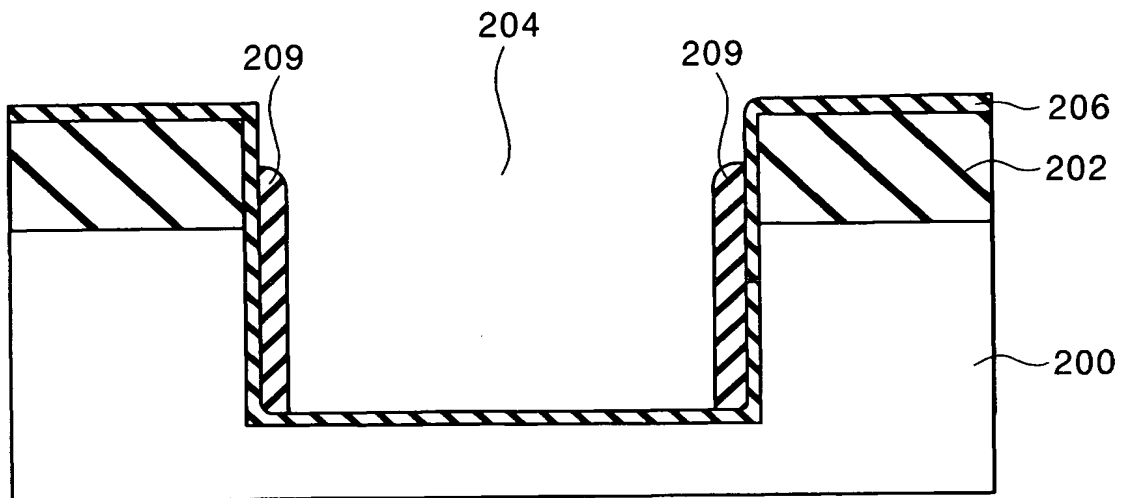
【図 8】



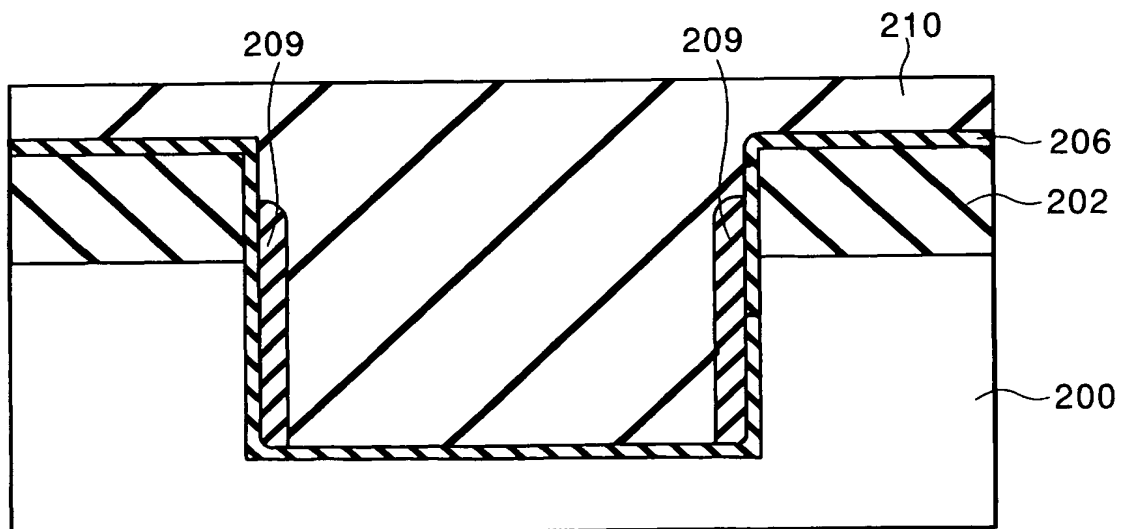
【図 9】



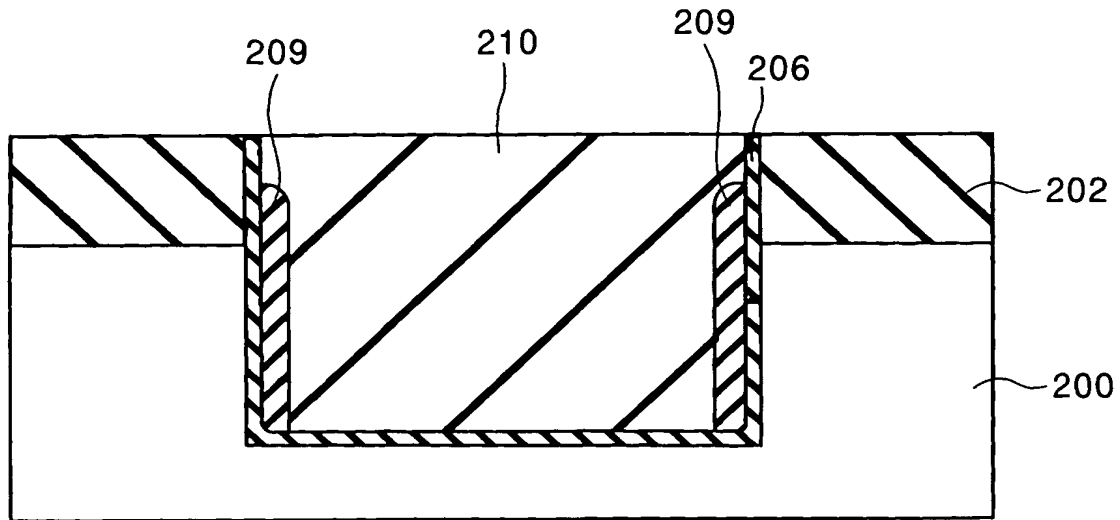
【図 10】



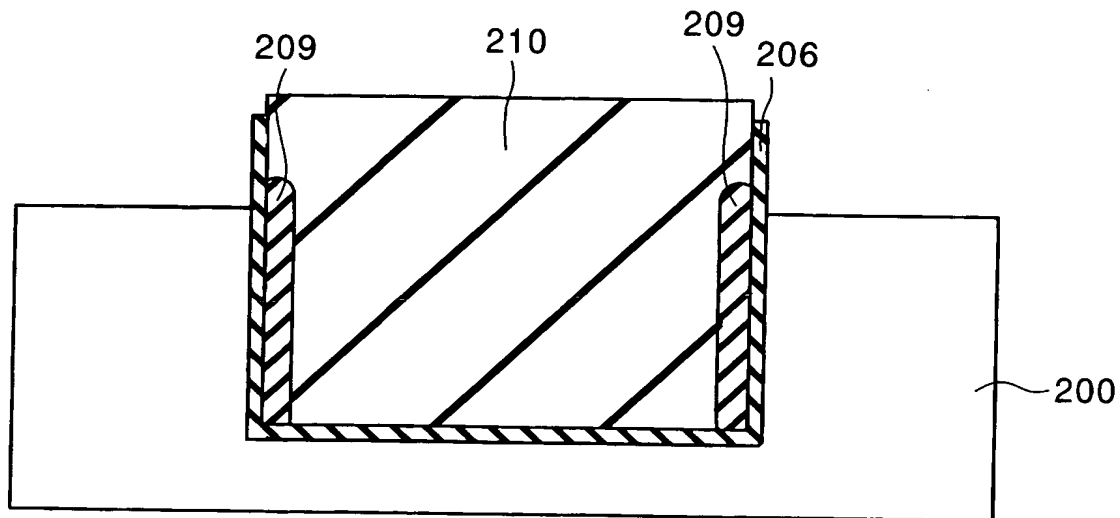
【図 11】



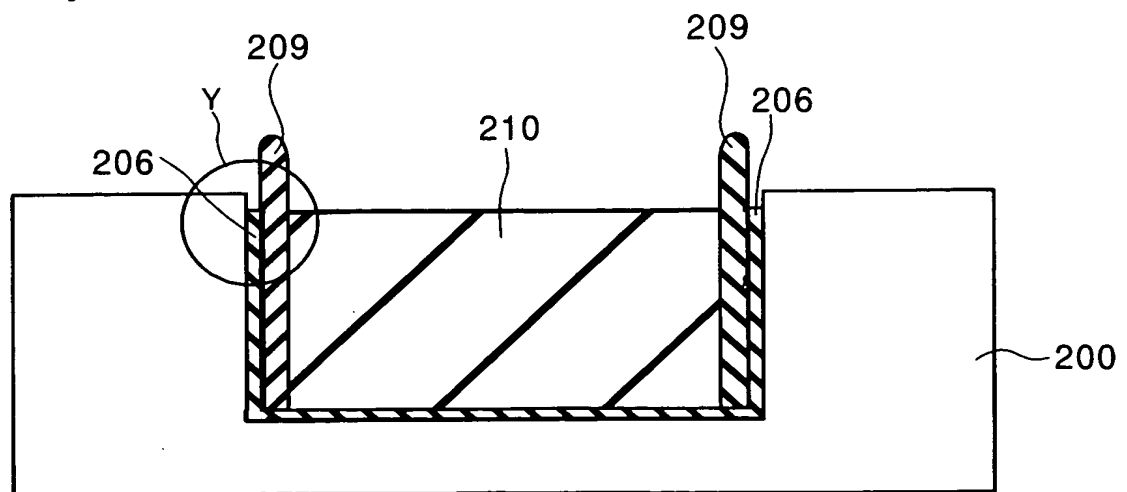
【図 1 2】



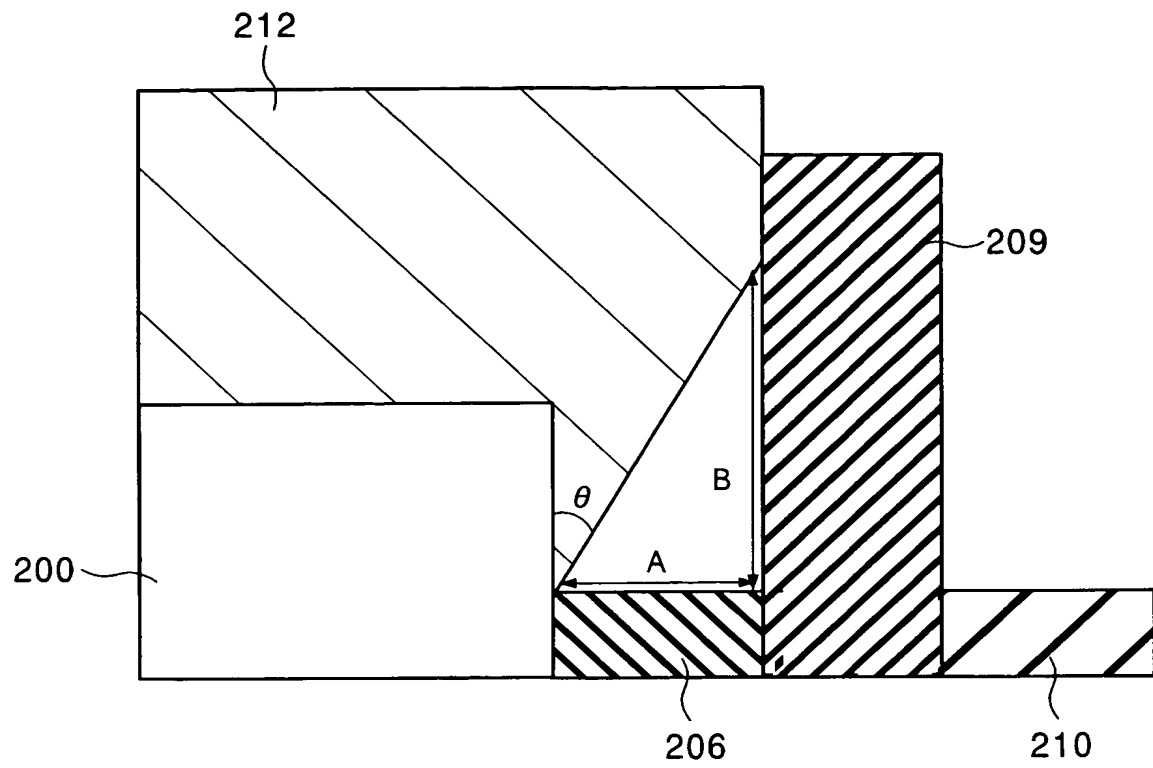
【図 1 3】



【図 1 4】



【図 15】





【書類名】 要約書

【要約】

【課題】 ソース領域及びドレイン領域上に形成されるエピタキシャルシリコン膜にファセットの成長を抑制する。

【解決手段】 エピタキシャル成長を用いてソース領域 1 0 1 及びドレイン領域 1 0 1 上にエピタキシャルシリコン膜 1 1 8 を形成する半導体装置において、ソース領域 1 0 1 及びドレイン領域 1 0 1 に接する素子分離絶縁膜 1 0 2 の表面高さを、ソース領域 1 0 1 及びドレイン領域 1 0 1 を形成する半導体基板 1 0 0 の表面高さと同じか低くし、素子分離絶縁膜 1 0 2 上の一部に、素子分離絶縁膜 1 0 2 とは異なる材料（例えば、S i N）で、ストッパ部 1 1 6 を形成する。

【選択図】 図 1

特願 2 0 0 3 - 4 1 5 3 1 9

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝